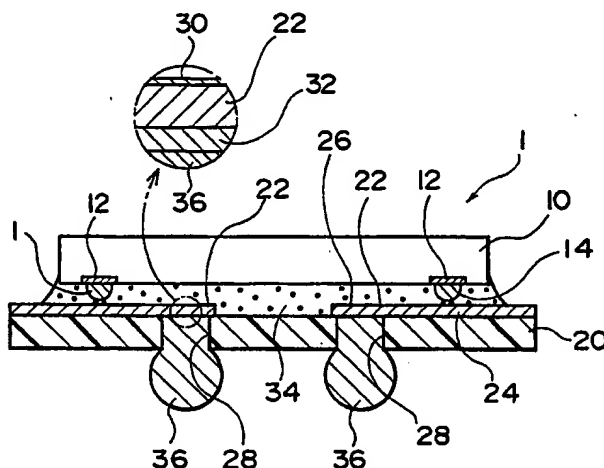


(51) 国際特許分類7 H01L 23/12, 21/60, H05K 3/18, 3/42	A1	(11) 国際公開番号 WO00/49655 (43) 国際公開日 2000年8月24日(24.08.00)
(21) 国際出願番号 PCT/JP00/00894 (22) 国際出願日 2000年2月17日(17.02.00) (30) 優先権データ 特願平11/39623 ✓ 1999年2月18日(18.02.99) JP (71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP) (72) 発明者 ; および (75) 発明者 / 出願人 (米国についてののみ) 橋元伸晃(HASHIMOTO, Nobuaki)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP) (74) 代理人 井上 一, 外(INOUE, Hajime et al.) 〒167-0051 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 Tokyo, (JP)		(81) 指定国 CN, JP, KR, SG, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE) 添付公開書類 国際調査報告書

(54) Title: **SEMICONDUCTOR DEVICE, CIRCUIT BOARD, METHOD OF MANUFACTURING CIRCUIT BOARD, AND ELECTRONIC DEVICE**

(54) 発明の名称 半導体装置、実装基板及びその製造方法、回路基板並びに電子機器



(57) Abstract

A semiconductor device comprises a first plating layer (30) formed on a wiring pattern (21), a second plating layer (32) covering through holes (28) in the wiring pattern (21), a semiconductor chip (10) connected electrically with the first plating layer (30), an anisotropic conductor (34) on the first plating layer (30), and a conductor (36) on the second plating layer (32). The first plating layer (30) adheres sufficiently to the anisotropic conductor (34), and the second plating layer (32) sufficiently matches the conductor (36).

(57)要約

半導体装置は、配線パターン（２１）の一方の面に形成された第１のメッキ層（３０）と、配線パターン（２１）におけるスルーホール（２８）内に形成された第２のメッキ層（３２）と、第１のメッキ層（３０）に電氣的に接続された半導体チップ（１０）と、第１のメッキ層（３０）上に設けられた異方性導電材料（３４）と、第２のメッキ層（３２）上に設けられる導電材料（３６）と、を含み、第１のメッキ層（３０）の性質は異方性導電材料（３４）との密着性に適しており、第２のメッキ層（３２）の性質は導電材料（３６）との接合性に適している。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

AE	アラブ首長国連邦	DM	ドミニカ	KZ	カザフスタン	RU	ロシア
AG	アンティグア・バーブーダ	DZ	アルジェリア	LC	セントルシア	SD	スーダン
AL	アルバニア	EE	エストニア	LI	リヒテンシュタイン	SE	スウェーデン
AM	アルメニア	ES	スペイン	LK	スリ・ランカ	SG	シンガポール
AT	オーストリア	FI	フィンランド	LR	リベリア	SI	スロヴェニア
AU	オーストラリア	FR	フランス	LS	レソト	SK	スロヴァキア
AZ	アゼルバイジャン	GA	ガボン	LT	リトアニア	SL	シエラ・レオネ
BA	ボスニア・ヘルツェゴビナ	GB	英国	LU	ルクセンブルグ	SN	セネガル
BB	バルバドス	GD	グレナダ	LV	ラトヴィア	SZ	スワジランド
BE	ベルギー	GE	グルジア	MA	モロッコ	TD	チャード
BF	ブルキナ・ファソ	GH	ガーナ	MC	モナコ	TG	トーゴ
BG	ブルガリア	GM	ガンビア	MD	モルドヴァ	TJ	タジキスタン
BJ	ベナン	GN	ギニア	MG	マダガスカル	TM	トルクメニスタン
BR	ブラジル	GR	ギリシャ	MK	マケドニア旧ユーゴスラヴィア共和国	TR	トルコ
BY	ベラルーシ	GW	ギニア・ビサウ			TT	トリニダード・トバゴ
CA	カナダ	HR	クロアチア	ML	マリ	TZ	タンザニア
CF	中央アフリカ	HU	ハンガリー	MN	モンゴル	UA	ウクライナ
CG	コンゴ	ID	インドネシア	MR	モーリタニア	UG	ウガンダ
CH	スイス	IE	アイルランド	MW	マラウイ	US	米国
CI	コートジボアール	IL	イスラエル	MX	メキシコ	UZ	ウズベキスタン
CM	カメルーン	IN	インド	MZ	モザンビーク	VN	ベトナム
CN	中国	IS	アイスランド	NE	ニジェール	YU	ユーゴスラヴィア
CR	コスタ・リカ	IT	イタリア	NL	オランダ	ZA	南アフリカ共和国
CU	キューバ	JP	日本	NO	ノルウェー	ZW	ジンバブエ
CY	キプロス	KE	ケニア	NZ	ニュージーランド		

明 細 書

半導体装置、実装基板及びその製造方法、回路基板並びに電子機器

〔技術分野〕

本発明は、半導体装置、実装基板及びその製造方法、回路基板並びに電子機器に関する。

〔背景技術〕

T-CSP (Tape-Chip Scale/Size Package) のように、配線パターンが形成された基板を使用した半導体装置が知られている。基板には半導体チップが搭載され、配線パターンには半導体チップの電極が電氣的に接続されるとともにハンダボールが設けられることが多い。ここで、配線パターンの表面に対して、半導体チップの電極を接続するために必要な性質と、ハンダボールなどを設けるために必要な性質が異なる。このように、配線パターンの表面には、部分的に異なる性質が要求されるが、従来、配線パターンの表面全体に単一のメッキを施しているだけであった。

〔発明の開示〕

本発明は、上述したような課題を解決するものであり、その目的は、表面において部分的に異なる特性を有する配線パターンを含む半導体装置、実装基板及びその製造方法、回路基板並びに電子機器を提供することにある。

- (1) 本発明に係る半導体装置は、複数のスルーホールが形成された基板と、
前記スルーホール上を通して前記基板に形成された配線パターンと、
前記配線パターンにおける前記基板側とは反対側の面に形成された第1のメッキ層と、前記配線パターンにおける前記基板側の面であって前記スルーホール内に形成された第2のメッキ層と、
前記基板に搭載されて前記第1のメッキ層に電氣的に接続された半導体チップと、
前記第1のメッキ層上に設けられた樹脂と、

前記第2のメッキ層上に設けられる導電材料と、
を含み、

前記第1及び第2のメッキ層は相互に異なる特性を有する。

本発明によれば、配線パターンに第1及び第2のメッキ層が形成されているので、配線パターンの表面の酸化が防止されるとともに、電気的な接触抵抗を低下させることができる。

第1及び第2のメッキ層は異なる特性を有する。樹脂との密着性に適するメッキ層と、導電材料との接合性に適するメッキ層とは、相反する性質が要求されることが多いが、その場合でも本発明は、異なる性質の第1及び第2のメッキ層によって対応することができる。

(2) 本発明に係る半導体装置は、基板と、

前記基板の一方の面に形成された第1の配線パターンと、前記第1の配線パターンに電氣的に接続されて前記基板の他方の面に形成された第2の配線パターンと、

前記第1の配線パターンにおける前記基板側とは反対側の面に形成された第1のメッキ層と、前記第2の配線パターンにおける前記基板側とは反対側の面に形成された第2のメッキ層と、

前記基板に搭載されて前記第1のメッキ層に電氣的に接続された半導体チップと、

前記第1のメッキ層上に設けられた樹脂と、

前記第2のメッキ層上に設けられた導電材料と、

を含み、

前記第1及び第2のメッキ層は相互に異なる特性を有する。

本発明によれば、第1及び第2の配線パターンに第1及び第2のメッキ層が形成されているので、第1及び第2の配線パターンの表面の酸化が防止されるとともに、電気的な接触抵抗を低下させることができる。また、第1及び第2のメッキ層は異なる特性を有する。樹脂との密着性に適するメッキ層と、導電材料との接合性に適するメッキ層とは、相反する性質が要求されることが多いが、その場合でも本発明は、異なる性質の第1及び第2のメッキ層によって対応することができる。

(3) 本発明に係る半導体装置は、基板と

前記基板に形成された配線パターンと、

前記配線パターンにおける前記基板側とは反対側の面のうち第 1 の部分に形成された第 1 のメッキ層と、

前記配線パターンにおける前記基板側とは反対側の面のうち第 2 の部分に形成された第 2 のメッキ層と、

前記第 1 のメッキ層上に設けられた樹脂と、

前記第 2 のメッキ層上に設けられた導電材料と、

前記基板に搭載されて前記導電材料に電氣的に接続された半導体チップと、

を含み、

前記第 1 及び第 2 のメッキ層は相互に異なる特性を有する。

本発明によれば、配線パターンに第 1 及び第 2 のメッキ層が形成されているので、配線パターンの表面の酸化が防止されるとともに、電氣的な接触抵抗を低下させることができる。また、第 1 及び第 2 のメッキ層は異なる特性を有する。樹脂との密着性に適するメッキ層と、導電材料との接合性に適するメッキ層とは、相反する性質が要求されることが多いが、その場合でも本発明は、異なる性質の第 1 及び第 2 のメッキ層によって対応することができる。

(4) この半導体装置において、

前記第 1 のメッキ層は、前記第 2 のメッキ層よりも薄く形成されていてもよい。

メッキ層を薄くすることで樹脂との密着性が向上し、メッキ層を厚くすれば導電材料との接合性に優れるようになる。

(5) この半導体装置において、

前記第 1 及び第 2 のメッキ層は異なる材料で形成されていてもよい。

樹脂との密着性が向上する材料で第 1 のメッキ層を形成し、導電材料との接合性に優れる材料で第 2 のメッキ層を形成することができる。

(6) この半導体装置において、

前記樹脂は、接着剤であって導電粒子を含有して異方性導電材料を構成し、

前記半導体チップは、前記異方性導電材料を介してフェースダウン実装されているもよい。

これによれば、第1のメッキ層には異方性導電材料が設けられ、第1のメッキ層は、異方性導電材料の接着剤との密着性に適している。また、第1のメッキ層が形成されていることで、半導体チップのフェースダウン実装において、電気的な接触抵抗が低下している。

(7) 本発明に係る実装基板は、複数のスルーホールが形成された基板と、
前記スルーホール上を通過して前記基板に形成された配線パターンと、
前記配線パターンにおける前記基板側とは反対側の面に形成された第1のメッキ層と、前記配線パターンにおける前記基板側の面であって前記スルーホール内に形成された第2のメッキ層と、
を含み、
前記第1及び第2のメッキ層は相互に異なる特性を有する。

本発明によれば、配線パターンに第1及び第2のメッキ層が形成されているので、配線パターンの表面の酸化が防止されるとともに、電気的な接触抵抗を低下させることができる。また、第1及び第2のメッキ層は異なる特性を有する。樹脂との密着性に適するメッキ層と、導電材料との接合性に適するメッキ層とは、相反する性質が要求されることが多いが、その場合でも本発明は、異なる性質の第1及び第2のメッキ層によって対応することができる。

(8) 本発明に係る実装基板は、基板と、
前記基板の一方の面に形成された第1の配線パターンと、前記第1の配線パターンに電気的に接続されて前記基板の他方の面に形成された第2の配線パターンと、
前記第1の配線パターンにおける前記基板側とは反対側の面に形成された第1のメッキ層と、前記第2の配線パターンにおける前記基板側とは反対側の面に形成された第2のメッキ層と、
を含み、
前記第1及び第2のメッキ層は相互に異なる特性を有する。

本発明によれば、第1及び第2の配線パターンに第1及び第2のメッキ層が形成されているので、第1及び第2の配線パターンの表面の酸化が防止されるとともに、電気的な接触抵抗を低下させることができる。また、第1及び第2のメッキ層は異なる特性を有する。樹脂との密着性に適するメッキ層と、導電材料との接合性に適するメッキ層とは、相反する性質が要求されることが多いが、その場合でも本発明は、異なる性質の第1及び第2のメッキ層によって対応することができる。

特性を有する。樹脂との密着性に適するメッキ層と、導電材料との接合性に適するメッキ層とは、相反する性質が要求されることが多いが、その場合でも本発明は、異なる性質の第 1 及び第 2 のメッキ層によって対応することができる。

(9) 本発明に係る実装基板は、基板と、

前記基板に形成された配線パターンと、

前記配線パターンにおける前記基板側とは反対側の面のうち第 1 の部分に形成された第 1 のメッキ層と、

前記配線パターンにおける前記基板側とは反対側の面のうち第 2 の部分に形成された第 2 のメッキ層と、

を含み、

前記第 1 及び第 2 のメッキ層は相互に異なる特性を有する。

本発明によれば、配線パターンに第 1 及び第 2 のメッキ層が形成されているので、配線パターンの表面の酸化が防止されるとともに、電気的な接触抵抗を低下させることができる。また、第 1 及び第 2 のメッキ層は異なる特性を有する。樹脂との密着性に適するメッキ層と、導電材料との接合性に適するメッキ層とは、相反する性質が要求されることが多いが、その場合でも本発明は、異なる性質の第 1 及び第 2 のメッキ層によって対応することができる。

(10) この実装基板において、

前記第 1 のメッキ層は、前記第 2 のメッキ層よりも薄く形成されていてもよい。

メッキ層を薄くすることで樹脂との密着性が向上し、メッキ層を厚くすれば導電材料との接合性に優れるようになる。

(11) この実装基板において、

前記第 1 及び第 2 のメッキ層は異なる材料で形成されていてもよい。

樹脂との密着性が向上する材料で第 1 のメッキ層を形成し、導電材料との接合性に優れる材料で第 2 のメッキ層を形成することができる。

(12) 本発明に係る回路基板には、上記半導体装置が搭載されている。

(13) 本発明に係る電子機器は、上記半導体装置を備える。

(14) 本発明に係る実装基板の製造方法は、複数のスルーホールが形成され、前

記スルーホール上を通して配線パターンが形成された基板をメッキ浴に浸せきし、前記配線パターンを陰極に電氣的に接続し、前記基板における前記配線パターンが形成された面に向けて第1の陽極を配置し、前記基板における前記配線パターンとは反対側の面に向けて第2の陽極を配置し、前記第1及び第2の陽極と前記陰極との間で異なる電流密度の電流を流す工程と、

を含み、

前記第1の陽極からの電流によって、第1のメッキ層を前記配線パターン上に形成し、

前記第2の陽極からの電流によって、第2のメッキ層を、前記配線パターンにおける前記基板側の面であって前記スルーホール内に形成する。

本発明によれば、第1の陽極からの電流によって、配線パターンの一方の面に第1のメッキ層を形成することができ、第2の陽極からの電流によって、配線パターンの他方の面に第2のメッキ層を形成することができる。なお、第2のメッキ層は、配線パターンにおけるスルーホールから露出する部分に形成される。

(15) 本発明に係る実装基板の製造方法は、複数のスルーホールが形成され、前記スルーホール上を通して配線パターンが形成された基板を第1のメッキ浴に浸せきし、前記配線パターンを陰極に電氣的に接続し、前記基板における前記配線パターンが形成された面に向けて第1の陽極を配置して電気メッキを施して、第1のメッキ層を前記配線パターン上に形成する工程と、

前記基板を第2のメッキ浴に浸せきし、前記配線パターンを陰極に電氣的に接続し、前記基板における前記配線パターンとは反対側の面に向けて第2の陽極を配置して電気メッキを施して、第2のメッキ層を、前記配線パターンにおける前記基板側の面であって前記スルーホール内に形成する工程と、

を含む。

本発明によれば、基板を第1及び第2のメッキ浴に浸せきして、配線パターンの一方の面に第1のメッキ層を形成し、配線パターンの他方の面に第2のメッキ層を形成する。

(16) 本発明に係る実装基板の製造方法は、基板に複数のスルーホールを形成し、

前記スルーホール上を通る配線パターンを形成する工程と、

前記スルーホールを第 1 のレジストで覆って、前記配線パターンに無電解メッキを施して、第 1 のメッキ層を形成する工程と、

前記スルーホールから配線パターンの一部を露出させ、前記配線パターンにおける前記基板側とは反対側の面を第 2 のレジストで覆って、前記スルーホール内で配線パターンに無電解メッキを施して、第 2 のメッキ層を形成する工程と、

を含む。

本発明によれば、2 回の無電解メッキによって第 1 及び第 2 のメッキ層を形成する。

(17) 本発明に係る実装基板の製造方法は、一方の面に第 1 の配線パターンが形成され、他方の面に前記第 1 の配線パターンに電氣的に接続される第 2 の配線パターンが形成された基板をメッキ浴に浸せきし、前記第 1 及び第 2 の配線パターンを陰極に電氣的に接続し、前記第 1 の配線パターンに向けて第 1 の陽極を配置し、前記第 2 の配線パターンに向けて第 2 の陽極を配置し、前記第 1 及び第 2 の陽極と前記陰極との間で異なる電流密度の電流を流す工程と、

を含み、

前記第 1 の陽極からの電流によって、第 1 のメッキ層を前記第 1 の配線パターン上に形成し、

前記第 2 の陽極からの電流によって、第 2 のメッキ層を前記第 2 の配線パターン上に形成する。

本発明によれば、第 1 の陽極からの電流によって、第 1 の配線パターンに第 1 のメッキ層を形成することができ、第 2 の陽極からの電流によって、第 2 の配線パターンに第 2 のメッキ層を形成することができる。

(18) 本発明に係る実装基板の製造方法は、一方の面に第 1 の配線パターンが形成され、他方の面に前記第 1 の配線パターンに電氣的に接続される第 2 の配線パターンが形成された基板を第 1 のメッキ浴に浸せきし、前記第 1 の配線パターンを陰極に電氣的に接続し、前記第 1 の配線パターンに向けて第 1 の陽極を配置して電気メッキを施して、第 1 のメッキ層を前記第 1 の配線パターン上に形成する工程と、

前記基板を第 2 のメッキ浴に浸せきし、前記第 2 の配線パターンを陰極に電氣的に

接続し、前記第2の配線パターンに向けて第2の陽極を配置して電気メッキを施して、第2のメッキ層を、前記第2の配線パターン上に形成する工程と、を含む。

本発明によれば、基板を第1及び第2のメッキ浴に浸せきして、第1の配線パターンに第1のメッキ層を形成し、第2の配線パターンに第2のメッキ層を形成する。

(19) 本発明に係る実装基板の製造方法は、基板の一方の面に第1の配線パターンを形成し、他方の面に前記第1の配線パターンに電氣的に接続される第2の配線パターンを形成する工程と、

前記第2の配線パターンを第1のレジストで覆って、前記第1の配線パターンに無電解メッキを施して、第1のメッキ層を形成する工程と、

前記第1の配線パターンを第2のレジストで覆って、前記第2の配線パターンに無電解メッキを施して、第2のメッキ層を形成する工程と、を含む。

本発明によれば、2回の無電解メッキによって第1及び第2のメッキ層を形成する。

(20) 本発明に係る実装基板の製造方法は、基板に配線パターンを形成する工程と、

前記配線パターンの第1の部分を露出させて第2の部分をレジストで覆って、前記配線パターンに無電解メッキを施して前記第1の部分に第1のメッキ層を形成する工程と、

前記配線パターンの第2の部分を露出させて第1の部分をレジストで覆って、前記配線パターンに無電解メッキを施して前記第2の部分に第2のメッキ層を形成する工程と、

を含む。

本発明によれば、2回の無電解メッキによって第1及び第2のメッキ層を形成する。

(21) この実装基板の製造方法において、

前記第1及び第2のメッキ層は相互に異なる特性を有していてもよい。

樹脂との密着性に適するメッキ層と、導電材料との接合性に適するメッキ層とは、相反する性質が要求されることが多い。この場合、第1及び第2の陽極と陰極との間

の電流密度を異ならせることで、異なる厚みの第 1 及び第 2 のメッキ層を形成してもよい。あるいは、第 1 及び第 2 のメッキ浴のメッキ液を異ならせたり、第 1 及び第 2 の陽極と陰極との間の電流密度を異ならせることで、異なる厚みの第 1 及び第 2 のメッキ層を形成してもよい。

(22) この実装基板の製造方法において、

前記第 1 のメッキ層を、前記第 2 のメッキ層よりも薄く形成してもよい。

メッキ層を薄くすることで樹脂との密着性が向上し、メッキ層を厚くすれば導電材料との接合性に優れるようになる。

(23) この実装基板の製造方法において、

前記第 1 及び第 2 のメッキ層を異なる材料で形成してもよい。

樹脂との密着性が向上する材料で第 1 のメッキ層を形成し、導電材料との接合性に優れる材料で第 2 のメッキ層を形成することができる。

[図面の簡単な説明]

図 1 は、本発明の第 1 の実施の形態に係る半導体装置を示す図である。

図 2 は、本発明の第 1 の実施の形態に係る半導体装置の基板を示す図である。

図 3 は、本発明の第 1 の実施の形態で使用する実装基板を示す図である。

図 4 は、本発明の第 1 の実施の形態に係る実装基板の製造方法を説明する図である。

図 5 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を説明する図である。

図 6 は、本発明の第 2 の実施の形態に係る実装基板の製造方法を説明する図である。

図 7 A～図 7 B は、本発明の第 3 の実施の形態に係る実装基板の製造方法を説明する図である。

図 8 は、本発明の第 4 の実施の形態に係る半導体装置を示す図である。

図 9 A～図 9 B は、本発明の第 4 の実施の形態に係る半導体装置の基板を示す図である。

図 10 は、本発明の第 5 の実施の形態に係る半導体装置を示す図である。

図 11 A～図 11 B は、本発明の第 5 の実施の形態に係る実装基板の製造方法を示

す図である。

図 1 2 は、本発明を適用した回路基板を示す図である。

図 1 3 は、本発明に係る方法を適用して製造された半導体装置を備える電子機器を示す図である。

[発明を実施するための最良の形態]

以下、本発明の好適な実施の形態について図面を参照して説明する。

(第 1 の実施の形態)

図 1 は、本発明の第 1 の実施の形態に係る半導体装置を示す図である。この半導体装置 1 は、半導体チップ 1 0 と、基板 2 0 と、を含む。半導体チップ 1 0 の平面形状が矩形（正方形又は長方形）である場合には、少なくとも一辺（対向する二辺又は全ての辺を含む）に沿って、半導体チップ 1 0 の一方の面（能動面）に複数の電極 1 2 が形成されていてもよい。あるいは、複数の電極 1 2 が半導体チップ 1 0 の中央部又はその付近に並んでいてもよい。電極 1 2 には、ハンダボール、金ワイヤーボール、金メッキなどによってバンプ 1 4 が設けられている。電極 1 2 自体がバンプの形状をなしていてもよい。電極 1 2 とバンプ 1 4 との間にバンプ金属の拡散防止層として、ニッケル、クロム、チタン等を付加してもよい。

基板 2 0 の全体形状は特に限定されず、矩形、多角形、あるいは複数の矩形を組み合わせた形状のいずれであってもよいが、半導体チップ 1 0 の平面形状の相似形とすることができる。基板 2 0 の厚みは、その材質により決まることが多いが、これも限定されない。基板 2 0 は、有機系又は無機系のいずれの材料から形成されたものであってもよく、これらの複合構造からなるものであってもよい。また、基板 2 0 は、フレキシブル基板であっても、リジッド基板であってもよい。有機系の樹脂から形成されたテープ状のフレキシブル基板を打ち抜いて基板 2 0 を形成することもできる。

図 2 は、図 1 に示す半導体装置の基板の平面図である。図 1 及び図 2 に示すように、基板 2 0 の一方の面には、複数の配線（リード）2 2 が形成されて、配線パターン 2 1 を構成している。それぞれの配線 2 2 には、ランド部 2 4、2 6 が形成されている。ランド部 2 4、2 6 は、配線 2 2 よりも大きい幅を有するように形成されている。

が多い。一方のランド部 26 を基板 20 の中央に近い位置に形成し、他方のランド部 24 を配線 22 の途中に形成してもよい。複数の配線 22 のうち少なくとも一つ又は全部は、他の配線 22 と電氣的に導通しておらず、電氣的に独立している。複数の配線 22 のうち、半導体チップ 10 の電源やグランドなどに接続される共通の配線などは、ランド部 24、26 同士が接続されていてもよい。

基板 20 には、複数のスルーホール 28 が形成されている。それぞれのスルーホール 28 上を、いずれかの配線 22 が通る。配線 22 の端部がスルーホール 28 上に位置してもよい。配線 22 の端部にランド部 26 が形成されている場合には、ランド部 26 がスルーホール 28 上に位置する。

図 1 に拡大して示すように、配線 22 には第 1 及び第 2 のメッキ層 30、32 が形成されている。配線 22 を銅や、白金及びニッケルの 2 層構造で形成し、メッキ層 30、32 の材料をニッケル、パラジウム、ニッケル-金、ニッケル-パラジウム-金、金、ハンダ及びスズの中から選択することができる。第 1 のメッキ層 30 は、配線 22 における基板 20 とは反対側の面に形成されている。第 2 のメッキ層 32 は、配線 22 における基板 20 を向く面においてスルーホール 28 内に形成されている。スルーホール 28 上にランド部 26 が位置している場合には、ランド部 26 に第 2 のメッキ層 32 が形成される。第 1 及び第 2 のメッキ層 30、32 は、厚み又は材料の少なくとも一方において異なっていることなどにより、異なる特性を有する。

第 1 のメッキ層 30 は、少なくともランド 24 上の酸化を防止して導電性を確保し、電氣的な接触抵抗を低下させている。また、第 1 のメッキ層 30 を形成しても、配線 22 の上に樹脂と密着できるようになっている。例えば、樹脂として異方性導電材料の接着剤を例に挙げると、メッキ層 30 の下地としてニッケルが形成されている場合に、接着剤に含有される例えばシランカップリング材がニッケルもしくはその酸化物や水酸化物と化学的結合を生じるように、メッキ層 30 を薄く形成することが好ましい。例えば、 $0.05\text{ }\mu\text{m}$ 程度の厚みの金メッキを第 1 のメッキ層 30 とすることができる。これにより強固な接着が可能になる。

一方、第 2 のメッキ層 32 は導電材料、例えば外部端子との接合性に適している。例えば、 $0.3\text{ }\mu\text{m}$ 程度の厚みの金メッキを第 2 のメッキ層 32 として、導電材料と

の接合性を確保する。導電材料がハンダである場合には、ハンダメッキを第2のメッキ層32としてハンダ付け性を確保してもよい。

半導体チップ10は、基板20に対してフェースダウン実装される。半導体チップ10の bumps 14と、基板20に形成された配線22と、が電氣的に接続される。配線22には、メッキ層30が形成されているので良好な電氣的接続が得られる。配線22にランド部24、26が形成される場合には、一方のランド部24と bumps 14とが電氣に接続される。電氣的接続の手段として、樹脂からなる接着剤に導電粒子が含有されてなる異方性導電材料34を使用してもよい。その場合には、導電粒子が配線22と bumps 14との間に介在して電氣的な導通が図られる。異方性導電材料34は、異方性導電膜又は異方性導電接着剤であってもよい。

異方性導電材料34が使用される場合には、これによって配線22における基板20との接着面とは反対側の表面、側面及び先端面、すなわち基板20との非接触面が覆われる。異方性導電材料34が使用されない場合には、アンダーフィル材などの樹脂によって、配線22における基板20との非接触面を覆う。配線22を覆う材料は、基板20の一方の面の全面を覆ってもよい。配線22に形成された第1のメッキ層30は、樹脂との密着性に適しているので、配線22の上に設けられる樹脂が剥離しにくくなっている。すなわち、異方性導電材料34が剥離しにくくなっている。

配線22における基板20を向く面でスルーホール28内には、導電材料36が設けられている。詳しくは、導電材料36は、第2のメッキ層32上に形成されてスルーホール28から突出している。導電材料36は外部端子を構成する。第2のメッキ層32が導電材料との接合性に適しているので、導電材料36と第2のメッキ層32との良好な電氣的接続が得られる。導電材料36は、ハンダボールであることが多いが、メッキ、導電樹脂などの導電性突起であってもよい。

導電材料36によって外部端子を構成する代わりに、スルーホール28内に導電材料36を充填し、この導電材料36に電氣的に接続される第2の配線を基板20の他方の面に形成して、その第2の配線に外部端子を設けてもよい。この場合には、基板20は、両面に配線が形成されるので両面基板である。さらに、基板20として、多層基板やビルドアップ型基板を用いてもよい。ビルドアップ型基板や多層基板を利用

した場合、平面的に広がるベタグランド層上に配線パターンを形成すれば、余分な配線パターンのないマイクロストリップ構造となるので、信号の伝送特性を向上させることができる。

以上の説明は、異方性導電材料 3 4 を用いる方式のフェースダウン型接合について述べてきたが、この方式のフェースダウン型接合に限られることはなく、ハンダバンブ付きの半導体チップを加熱（必要に応じて加圧）する方式や、金バンブ付きの半導体チップを加熱・加圧（必要に応じて超音波接合）する方式や、樹脂の硬化収縮力を利用した方式のフェースダウン接合にも本発明を適用することができる。このことは、以下の実施の形態でも同じである。

図 1 には、外部端子を構成する導電材料 3 6 が半導体チップ 1 0 の搭載領域内にのみ設けられた F A N－I N 型の半導体装置が示されているが、これに限定されるものではない。例えば、半導体チップ 1 0 の搭載領域外にのみ外部端子が設けられた F A N－O U T 型の半導体装置や、これに F A N－I N 型を組み合わせた F A N－I N／O U T 型の半導体装置にも本発明を適用することができる。F A N－O U T 型又は F A N－I N／O U T 型の半導体装置では、配線 2 2 の上に設けられる樹脂によって、半導体チップの外側にスティフナを貼り付けても良い。このことは、以下の実施の形態でも同じである。

図 3 は、本発明の第 1 の実施の形態に係る実装基板を示す図である。図 3 に示す実装基板 4 0 は、テープキャリアであって、複数の半導体装置のための複数の配線パターン 2 1（図 1 参照）が形成されている。それぞれの配線パターン 2 1 には第 1 及び第 2 のメッキ層 3 0、3 2（図 1 参照）が形成されている。テープキャリアとしての実装基板 4 0 が打ち抜かれて、個々の半導体装置に対応する実装基板が得られる。少なくとも 1 つの配線パターン 2 1 が形成された基板が実装基板であり、図 1 示す配線パターン 2 1 が形成された状態での基板 2 0 も実装基板である。あるいは、完成品としての半導体装置の外形よりも大きい実装基板を用意してもよい。この場合には、半導体チップの実装前に予め、半導体装置の外形位置の一部好ましくは半分以上に、一つ好ましくは複数の穴（例えば長穴）を形成しておき、半導体チップの実装後に、外形位置の残りの部分（例えば複数の穴の間の部分）を打ち抜いてもよい。

図3に示す実装基板40は、複数のスルーホール28（図1参照）が形成された基板42と、基板42に形成された複数の配線パターン21と、配線パターン21を構成する配線22に形成された第1及び第2のメッキ層30、32と、少なくとも1つのメッキリード44と、を含む。図1に示す符号と同じ符号の構成は、上述した通りであるので説明を省略する。また、実装基板40には一般的なテープキャリアの構成も適用されている。

メッキリード44は、打ち抜き位置、すなわち完成した半導体装置の基板20の外形位置よりも外側に形成されている。したがって、実装基板40が打ち抜かれると、メッキリード44を除去することができる。配線22はメッキリード44に電氣的に接続されている。したがって、メッキリード44を使用して、配線22に電気メッキを施すことができる。

次に、図4は、本実施の形態に係る実装基板の製造方法を説明する図である。まず、実装基板40から第1及び第2のメッキ層30、32を除いた構成を備える基板42を用意する。この状態で、基板42には、少なくとも1つ又は複数の配線パターン21と、メッキリード44と、が形成されている。

また、メッキ槽48にメッキ液を入れてメッキ浴46を用意する。メッキ浴46には、第1及び第2の陽極50、52が配置されており、両者の間に上述した基板42を送り出す。詳しくは、基板42の一方の面を第1の陽極50に向け、他方の面を第2の陽極52に向ける。なお、基板42がテープであれば、リール・ツウ・リールの工程を適用することができる。

基板42に形成されているメッキリード44を、陽極50、52に印加される電圧よりも低い電圧例えばGNDの陰極54に接続すると、メッキリード44及びこれに接続される配線パターン21（配線22）と、第1及び第2の陽極50、52のそれぞれと、の間に電流が流れる。こうして、配線パターン21（配線22）における基板42とは反対側の面と、スルーホール28から露出する部分とに電気メッキを施し、第1及び第2のメッキ層30、32を形成することができる。

ここで、第1及び第2の陽極50、52のそれぞれに、異なる電圧V1、V2を印加するなどして、それぞれから流れる電流の電流密度が異なるようになっている。

することで、第1及び第2のメッキ層30、32の厚みを異ならせることができる。

こうして、第1及び第2のメッキ層30、32が配線パターン21（配線22）に形成されて、実装基板40が得られる。なお、基板42がテープであれば、実装基板40はテープキャリアとなる。

また、図示していないが、電氣的な接点となる部位以外は、ソルダーレジスト等の永久レジストで覆われていても良く、これは以降の実施の形態でも同様である。この場合、電氣的な接点となる部位以外はメッキが施されない。

次に、本実施の形態に係る実装基板を使用した半導体装置の製造方法を説明する。上述した実装基板40に形成されたそれぞれの配線パターン21に、半導体チップ10をフェースダウン実装する。例えば、図1に示すように、異方性導電材料34を使用することができる。異方性導電材料34は、半導体チップ10における電極12が形成された面に予め設けておいても良いし、実装基板40における配線22が形成された面に予め設けておいても良い。個々の配線パターン21ごとに覆うように異方性導電材料34を設けてもよいし、複数の配線パターン21を覆うように異方性導電材料34を設けてもよい。

また、図1に示すように、外部端子となる導電材料36を設ける。こうして、実装基板40に複数の半導体チップ10が実装されて、複数の半導体装置1が一体化された半導体装置アセンブリが得られる。

次に、図5に示すように、それぞれの半導体チップ10よりも外側で、実装基板40を打ち抜く。打ち抜き形状は、特に限定されないが、半導体チップ10の平面形状の相似形としてもよい。打ち抜きのために、切断治具56、58を使用することができる。こうして、半導体装置1を連続して製造することができる。

（第2の実施の形態）

図6は、本発明を適用した第2の実施の形態に係る実装基板の製造方法を説明する図である。本実施の形態では、図3に示す実装基板40から第1及び第2のメッキ層30、32を除いた構成を備える基板42を用意する。この状態で、基板42には、少なくとも1つ又は複数の配線パターン21と、メッキリード44と、が形成されている。

また、第1及び第2のメッキ槽60、62にメッキ液を入れて第1及び第2のメッキ浴64、66を並べて用意する。第1及び第2のメッキ浴64、66には、第1及び第2の陽極68、70が配置されている。基板42は、第1のメッキ浴64中で一方の面を第1の陽極68に向けて送り出され、その次に、第2のメッキ浴66中で他方の面を第2の陽極70に向けて送り出される。なお、基板42がテープであれば、リール・トゥ・リールの工程を適用することができる。

基板42に形成されているメッキリード44を、陽極68、70に印加される電圧よりも低い電圧例えばGNDの陰極72に接続すると、メッキリード44及びこれに接続される配線パターン21（配線22）と、第1及び第2の陽極68、70のそれぞれと、の間に電流が流れる。こうして、配線パターン21（配線22）における基板42とは反対側の面と、スルーホール28から露出する部分とに電気メッキを施し、第1及び第2のメッキ層30、32を形成することができる。

ここで、第1及び第2の陽極68、70のそれぞれに、異なる電圧V3、V4を印加するなどして、それぞれから流れる電流の電流密度が異なるようになっている。こうすることで、第1及び第2のメッキ層30、32の厚みを異ならせることができる。

こうして、第1及び第2のメッキ層30、32が配線パターン21（配線22）に形成されて、図3に示す実装基板40が得られる。なお、基板42がテープであれば、実装基板40はテープキャリアとなる。

なお、本実施の形態では、基板42を第1及び第2のメッキ浴64、66に連続的に浸せきしたが、それぞれの浸せき工程を別々に行っても良い。また、第1及び第2のメッキ浴64、66は、同じ金属イオンを含む場合に限らず、別の金属イオンを含んでよい。その場合には、第1及び第2のメッキ層30、32の材料が異なることになる。さらに、第1及び第2のメッキ層30、32の材料及び厚みの両方を異ならせてもよい。

（第3の実施の形態）

図7A及び図7Bは、本発明の第3の実施の形態に係る実装基板の製造方法を示す図である。本実施の形態では、図1に示す配線パターン21（配線22）が形成され、メッキ層30、32が形成される前の基板20を用意する。

まず、図7Aに示すように、スルーホール28内にレジスト80を充填する。レジスト80は、樹脂であっても除去可能なテープなどでもよい。これによって、配線22におけるスルーホール28内で露出する部分が覆われる。そして、無電解メッキを施すと、配線22における露出する面がメッキされる。配線22における基板20とは反対側の面に第1のメッキ層30が形成される。第1のメッキ層30は、第1の実施の形態で説明した通りの性質を有する。

次に、レジスト80を除去し、図7Bに示すように、配線22におけるレジスト80にて覆われていた部分以外の部分をレジスト82で覆う。レジスト82は、樹脂であっても除去可能なテープなどでもよい。配線22における基板20とは反対側の面の上方はレジスト82にて覆われ、スルーホール28内では配線22の一部が露出する。第1のメッキ層30はレジスト82にて覆われている。そして、無電解メッキを施すと、配線22における露出する面がメッキされる。配線22におけるスルーホール28内で露出する部分には、第2のメッキ層32が形成される。第2のメッキ層32は、第1の実施の形態で説明した通りの性質を有する。

以上の工程により、図1に示すように、配線22に第1及び第2のメッキ層30、32が形成された基板20が得られるので、これが実装基板となる。本実施の形態では、第1及び第2のメッキ層30、32を形成する順序は問わない。無電解メッキの工程では、同じ材料の溶液を使用して異なる厚みの第1及び第2のメッキ層30、32を形成してもよいし、異なる材料の溶液を使用して異なる材料からなる第1及び第2のメッキ層30、32を形成してもよい。さらに、第1及び第2のメッキ層30、32の材料及び厚みの両方を異ならせてもよい。

また、第1及び第2のメッキ層30、32の少なくとも厚さを変える場合は、レジストを塗布せずに両面のメッキ層を形成した後に、厚さを厚くしたい層とは逆の層にレジストを塗布し、厚くしたい層のみに追加のメッキを施し、その後レジストを取り除いても良い。

(第4の実施の形態)

図8は、本発明の第4の実施の形態に係る半導体装置を示す図である。半導体装置2は、半導体チップ10と、基板120と、を含む。半導体チップ10は、第1の実

施の形態で説明したもので、電極 1 2 及びバンプ 1 4 を有する。基板 1 2 0 には、複数のスルーホール 1 2 8 が形成されており、形状、厚み、材質については基板 2 0 と同じである。

図 9 A は、図 8 に示す半導体装置の基板の一方の平面図であり、図 9 B は他方の平面図である。基板 1 2 0 の一方の面には、複数の配線（リード）1 2 2 が形成されて、第 1 の配線パターン 1 2 1 を構成している。それぞれの配線 1 2 2 には、ランド部 1 2 4、1 2 6 が形成されている。第 1 の配線パターン 1 2 1 は、第 1 の実施の形態で説明した配線パターン 2 1 と同じ構成であってもよい。図 9 A に示すランド部 1 2 6 は、基板 1 2 0 における両面間の電氣的導通を図ることができればよく、外部端子を設けるのではないので、図 1 のランド部 2 6 よりも小さく形成されている。

基板 1 2 0 の他方の面には、複数の配線（リード）1 4 2 が形成されて、第 2 の配線パターン 1 4 1 を構成している。それぞれの配線 1 4 2 には、ランド部 1 4 4、1 4 6 が形成されている。第 2 の配線パターン 1 4 1 は、第 1 の実施の形態で説明した配線パターン 2 1 と同じ構成であってもよい。図 9 B に示す一方のランド部 1 4 4 は、外部端子を設けるために大きく形成されている。他方のランド部 1 4 6 は、基板 1 2 0 の両面間の電氣的な導通を図ることができればよく、外部端子を設けるわけではないので、一方のランド部 1 4 4 よりも小さく形成されている。

基板 1 2 0 に形成された複数のスルーホール 1 2 8 上を、それぞれの面に形成されたいずれかの配線 1 2 2、1 4 2 が通る。配線 1 2 2、1 4 2 の端部がスルーホール 1 2 8 上に位置してもよい。配線 1 2 2、1 4 2 の端部にランド部 1 2 6、1 4 6 が形成されている場合には、ランド部 1 2 6、1 4 6 がスルーホール 1 2 8 上に位置する。スルーホール 1 2 8 には、導電材料 1 4 8 が設けられており、基板 1 2 0 の一方の面の配線 1 2 2 と、他方の面の配線 1 4 2 とが電氣的に導通している。

なお、スルーホール 1 2 8 と連通する穴を、基板 1 2 0 の両面の配線 1 2 2、1 4 8 の一部例えばランド部 1 2 6、1 4 6 に形成しておき、これらの穴及びスルーホール 1 2 8 の内壁面に、メッキなどによって導電材料を設けて、基板 1 2 0 の両面の配線 1 2 2、1 4 8 を電氣的に導通させてもよい。

図 8 に拡大して示すように、基板 1 2 0 の一方の面に形成された配線 1 2 2 には第

1のメッキ層130が形成され、基板120の他方の面に形成された配線142には第2のメッキ層132が形成されている。第1及び第2のメッキ層130、132は、厚み又は材料の少なくとも一方において異なっていることなどにより性質が異なっている。第1のメッキ層130は、第1の実施の形態で説明した第1のメッキ層30と同じ性質を有し、第2のメッキ層132は、第1の実施の形態で説明した第2のメッキ層32と同じ性質を有する。すなわち、第1のメッキ層130は、樹脂との密着性に適しており、第2のメッキ層132は、導電材料との接合性に適している。

半導体チップ10は、基板120に対してフェースダウン実装される。半導体チップ10の bumps 14と、基板120の一方の面に形成された配線122と、が電氣的に接続される。配線122には、第1のメッキ層130が形成されているので良好な電氣的接続が得られる。配線122にランド部124、126が形成される場合には、一方のランド部124と bumps 14とが電氣に接続される。電氣的接続の手段として、樹脂からなる接着剤に導電粒子が含有されてなる異方性導電材料34を使用してもよい。その場合には、導電粒子が配線122と bumps 14との間に介在して電氣的な導通が図られる。異方性導電材料34は、異方性導電膜又は異方性導電接着剤であってもよい。

異方性導電材料34が使用される場合には、これによって配線122における基板120との接着面との非接触面が覆われる。異方性導電材料34が使用されない場合には、アンダーフィル材などの樹脂によって、配線122における基板120との非接着面を覆う。配線122を覆う材料は、基板120の一方の面の全面を覆ってもよい。配線122に形成された第1のメッキ層130は、樹脂との密着性に適しているので、配線122の上に設けられる樹脂が剥離しにくくなっている。

基板120の他方の面に形成された配線142には、導電材料136が設けられている。詳しくは、導電材料136は、第2のメッキ層132上に形成されている。導電材料136は外部端子を構成する。第2のメッキ層132が導電材料との接合性に適しているので、導電材料136と第2のメッキ層132との良好な電氣的接続が得られる。導電材料136は、ハンダボールであることが多いが、メッキ、導電樹脂などの導電性突起であってもよい。

この際、第2のメッキ層132側の外部端子の形成場所以外を、レジストで覆っても良い。こうすれば、例えば外部端子をハンダで形成する際に、外部端子の形成場所以外にハンダが濡れ拡がらず、ハンダによる外部端子の高さ及び位置精度の少なくとも一方を保持することができる。

図8において、基板120の両面に第1及び第2の配線パターン121、141を形成し、かつ、第1及び第2のメッキ層130、132を形成することで、実装基板が得られる。この実装基板の製造方法として、図4に示す方法を適用することができる。すなわち、基板120の一方の面を第1の陽極50に向けて、基板120の他方の面を第2の陽極52に向けて、第1の実施の形態で説明した通りの方法を適用して、性質の異なる第1及び第2のメッキ層130、132を形成することができる。

あるいは、この実装基板の製造方法として、図6に示す方法を適用することができる。すなわち、基板120の一方の面を第1の陽極68に向けて、基板120の他方の面を第2の陽極70に向けて、第2の実施の形態で説明した通りの方法を適用して、性質の異なる第1及び第2のメッキ層130、132を形成することができる。

あるいは、この実装基板の製造方法として、図7A及び図7Bに示す方法を適用することができる。すなわち、基板120の一方の面に形成された第1の配線パターン121を第1のレジストで覆って無電解メッキを施し、そのレジストを除去して、基板120の他方の面に形成された第2の配線パターン141を第2のレジストで覆って無電解メッキを施してもよい。この場合には、第3の実施の形態で説明した方法が適用される。

(第5の実施の形態)

図10は、本発明の第5の実施の形態に係る半導体装置を示す図である。

半導体装置3は、半導体チップ10と、基板220と、を含む。半導体チップ10は、第1の実施の形態で説明したもので、電極12及びバンプ14を有する。基板220には、複数のスルーホール228が形成されており、形状、厚み、材質については基板20と同じである。基板220には、配線パターン221を構成する複数の配線22が形成されている。配線パターン221及び配線222は、第1の実施の形態で説明した配線パターン21及び配線22と同じ構成であってもよい。また、配線222

は、スルーホール 2 2 8 上を通る。

本実施の形態では、図 1 0 に拡大して示すように、第 1 及び第 2 のメッキ層 2 3 0、2 3 2 が、配線パターン 2 2 2 における基板 2 2 0 とは反対側の面に形成されている。これ以外の構成は、第 1 の実施の形態と同じ構成を適用することができ、同じ構成には図 1 0 にも同じ符号を付してある。また、図 1 0 には示されないが、配線 2 2 2 におけるスルーホール 2 2 8 内で露出する部分に、外部端子となる導電材料 3 6 を設けるために、図 1 に示す第 1 のメッキ層 3 2 と同じ性質のメッキ層を形成してもよい。

第 1 のメッキ層 2 3 0 は、樹脂との密着性に適しており、第 1 の実施の形態で説明した第 1 のメッキ層 3 0 と同じ構成であってもよい。第 2 のメッキ層 2 3 2 は、導電材料との接合性に適しており、第 1 の実施の形態で説明した第 2 のメッキ層 3 2 と同じ構成であってもよい。

第 1 のメッキ層 2 3 0 は、配線パターン 2 2 1 (配線 2 2 2) における樹脂が接触する部分 (第 1 の部分) に形成されており、その上に設けられる樹脂が剥離しないようになっている。異方性導電材料 3 4 の接着剤が樹脂の一例である。第 2 のメッキ層 2 3 2 は、配線パターン 2 2 1 (配線 2 2 2) における導電材料としてのバンプ 1 4 との接合部分 (第 2 の部分) に形成されており、半導体チップ 1 0 との確実な電氣的接続が図られる。

図 1 0 に示す基板 2 2 0 に配線パターン 2 2 1 を形成し、かつ、第 1 及び第 2 のメッキ層 2 3 0、2 3 2 を形成して、実装基板を得ることができる。

図 1 1 A 及び図 1 1 B は、本発明の第 5 の実施の形態に係る実装基板の製造方法を説明する図である。本実施の形態では、図 1 0 に示す配線パターン 2 2 1 (配線 2 2 2) が形成され、第 1 及び第 2 のメッキ層 2 3 0、2 3 2 が形成される前の基板 2 2 0 を用意する。

まず、図 1 1 A に示すように、配線パターン 2 2 1 (配線 2 2 2) における樹脂が接触する部分 (第 1 の部分) を露出させて、配線パターン 2 2 1 (配線 2 2 2) 上にレジスト 2 4 0 を形成する。レジスト 2 4 0 は、導電材料との接合部分 (第 2 の部分) を除いて形成される。なお、スルーホール 2 2 8 内にもレジスト 2 4 0 を充填してもよい。レジスト 2 4 0 は、樹脂であっても除去可能なテープなどでもよい。そして、

無電解メッキを施すと、配線 2 2 2 における露出する面がメッキされる。例えば、配線 2 2 2 における基板 2 0 とは反対側の面であって、樹脂との接触部分（第 1 の部分）に第 1 のメッキ層 2 3 0 が形成される。

次に、レジスト 2 4 0 を除去し、図 1 1 B に示すように、配線 2 2 2 における樹脂が接触する部分（第 1 の部分）をレジスト 2 4 2 で覆う。レジスト 2 4 2 は、樹脂であっても除去可能なテープなどでもよい。スルーホール 2 2 8 内では配線 2 2 2 の一部を露出させてもよい。また、第 1 のメッキ層 2 3 0 はレジスト 2 4 2 にて覆われている。そして、無電解メッキを施すと、配線 2 2 2 における露出する面がメッキされる。配線 2 2 2 におけるバンプ 1 4 との接合部分（第 2 の部分）には、第 2 のメッキ層 2 3 2 が形成される。また、配線 2 2 2 におけるスルーホール 2 2 8 内で露出する部分にも、同じメッキ層を形成してもよい。

また、配線パターン 2 2 1 全面にメッキを施し、必要部分以外、例えば第 2 の部分及びスルーホール 2 2 8 内以外をレジストで覆った後、追加のメッキを施せば、必要部分のみに必要な厚さ及び種類のメッキを施すことができる。

以上の工程により、配線 2 2 2 に第 1 及び第 2 のメッキ層 2 3 0、2 3 2 が形成された基板 2 2 0 が得られるので、これが実装基板となる。本実施の形態では、第 1 及び第 2 のメッキ層 2 3 0、2 3 2 を形成する順序は問わない。また、第 1 及び第 2 のメッキ層 2 3 0、2 3 2 を形成する無電解メッキの工程では、同じ材料の溶液を使用する場合に限らず、別の材料の溶液を使用してもよい。その場合には、第 1 及び第 2 のメッキ層 2 3 0、2 3 2 の材料が異なることになる。さらに、第 1 及び第 2 のメッキ層 2 3 0、2 3 2 の材料及び厚みの両方を異ならせてもよい。

図 1 2 には、本実施の形態に係る半導体装置 1 を実装した回路基板 1 0 0 0 が示されている。回路基板 1 0 0 0 には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板 1 0 0 0 には例えば銅からなる配線パターン 1 1 0 0 が所望の回路となるように形成されていて、それらの配線パターンと半導体装置 1 の外部端子 3 6 とを機械的に接続することでそれらの電氣的導通を図る。

そして、本発明を適用した半導体装置 1 を有する電子機器 1 2 0 0 として、図 1 3 には、ノート型パーソナルコンピュータが示されている。

なお、上記本発明の構成要件「半導体チップ」を「電子素子」に置き換えて、半導体チップと同様に電子素子（能動素子か受動素子かを問わない）を、基板に実装して電子部品を製造することもできる。このような電子素子を使用して製造される電子部品として、例えば、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ボリューム又はヒューズなどがある。

請 求 の 範 囲

1. 複数のスルーホールが形成された基板と、

前記スルーホール上を通して前記基板に形成された配線パターンと、

前記配線パターンにおける前記基板側とは反対側の面に形成された第1のメッキ層と、前記配線パターンにおける前記基板側の面であって前記スルーホール内に形成された第2のメッキ層と、

前記基板に搭載されて前記第1のメッキ層に電氣的に接続された半導体チップと、

前記第1のメッキ層上に設けられた樹脂と、

前記第2のメッキ層上に設けられる導電材料と、

を含み、

前記第1及び第2のメッキ層は相互に異なる特性を有する半導体装置。

2. 基板と、

前記基板の一方の面に形成された第1の配線パターンと、前記第1の配線パターンに電氣的に接続されて前記基板の他方の面に形成された第2の配線パターンと、

前記第1の配線パターンにおける前記基板側とは反対側の面に形成された第1のメッキ層と、前記第2の配線パターンにおける前記基板側とは反対側の面に形成された第2のメッキ層と、

前記基板に搭載されて前記第1のメッキ層に電氣的に接続された半導体チップと、

前記第1のメッキ層上に設けられた樹脂と、

前記第2のメッキ層上に設けられた導電材料と、

を含み、

前記第1及び第2のメッキ層は相互に異なる特性を有する半導体装置。

3. 基板と、

前記基板に形成された配線パターンと、

前記配線パターンにおける前記基板側とは反対側の面のうち第1の部分に形成された第1のメッキ層と、

前記配線パターンにおける前記基板側とは反対側の面のうち第2の部分に形成された第2のメッキ層と、

前記第 1 のメッキ層上に設けられた樹脂と、
前記第 2 のメッキ層上に設けられた導電材料と、
前記基板に搭載されて前記導電材料に電氣的に接続された半導体チップと、
を含み、
前記第 1 及び第 2 のメッキ層は相互に異なる特性を有する半導体装置。

4. 請求項 1 記載の半導体装置において、
前記第 1 のメッキ層は、前記第 2 のメッキ層よりも薄く形成されている半導体装置。
5. 請求項 2 記載の半導体装置において、
前記第 1 のメッキ層は、前記第 2 のメッキ層よりも薄く形成されている半導体装置。
6. 請求項 3 記載の半導体装置において、
前記第 1 のメッキ層は、前記第 2 のメッキ層よりも薄く形成されている半導体装置。
7. 請求項 1 記載の半導体装置において、
前記第 1 及び第 2 のメッキ層は異なる材料で形成されている半導体装置。
8. 請求項 2 記載の半導体装置において、
前記第 1 及び第 2 のメッキ層は異なる材料で形成されている半導体装置。
9. 請求項 3 記載の半導体装置において、
前記第 1 及び第 2 のメッキ層は異なる材料で形成されている半導体装置。
10. 請求項 1 記載の半導体装置において、
前記樹脂は、接着剤であって導電粒子を含有して異方性導電材料を構成し、
前記半導体チップは、前記異方性導電材料を介してフェースダウン実装されている半導体装置。
11. 請求項 2 記載の半導体装置において、
前記樹脂は、接着剤であって導電粒子を含有して異方性導電材料を構成し、
前記半導体チップは、前記異方性導電材料を介してフェースダウン実装されている半導体装置。
12. 請求項 3 記載の半導体装置において、
前記樹脂は、接着剤であって導電粒子を含有して異方性導電材料を構成し、
前記半導体チップは、前記異方性導電材料を介してフェースダウン実装されている

半導体装置。

13. 複数のスルーホールが形成された基板と、

前記スルーホール上を通して前記基板に形成された配線パターンと、

前記配線パターンにおける前記基板側とは反対側の面に形成された第1のメッキ層と、前記配線パターンにおける前記基板側の面であって前記スルーホール内に形成された第2のメッキ層と、

を含み、

前記第1及び第2のメッキ層は相互に異なる特性を有する実装基板。

14. 基板と、

前記基板の一方の面に形成された第1の配線パターンと、前記第1の配線パターンに電氣的に接続されて前記基板の他方の面に形成された第2の配線パターンと、

前記第1の配線パターンにおける前記基板側とは反対側の面に形成された第1のメッキ層と、前記第2の配線パターンにおける前記基板側とは反対側の面に形成された第2のメッキ層と、

を含み、

前記第1及び第2のメッキ層は相互に異なる特性を有する実装基板。

15. 基板と、

前記基板に形成された配線パターンと、

前記配線パターンにおける前記基板側とは反対側の面のうち第1の部分に形成された第1のメッキ層と、

前記配線パターンにおける前記基板側とは反対側の面のうち第2の部分に形成された第2のメッキ層と、

を含み、

前記第1及び第2のメッキ層は相互に異なる特性を有する実装基板。

16. 請求項13記載の実装基板において、

前記第1のメッキ層は、前記第2のメッキ層よりも薄く形成されている実装基板。

17. 請求項14記載の実装基板において、

前記第1のメッキ層は、前記第2のメッキ層よりも薄く形成されている実装基板。

18. 請求項15記載の実装基板において、

前記第1のメッキ層は、前記第2のメッキ層よりも薄く形成されている実装基板。

19. 請求項13記載の実装基板において、

前記第1及び第2のメッキ層は異なる材料で形成されている実装基板。

20. 請求項14記載の実装基板において、

前記第1及び第2のメッキ層は異なる材料で形成されている実装基板。

21. 請求項15記載の実装基板において、

前記第1及び第2のメッキ層は異なる材料で形成されている実装基板。

22. 請求項1、4、7、10のいずれかに記載の半導体装置が搭載された回路基板。

23. 請求項2、5、8、11のいずれかに記載の半導体装置が搭載された回路基板。

24. 請求項3、6、9、12のいずれかに記載の半導体装置が搭載された回路基板。

25. 請求項1、4、7、10のいずれかに記載の半導体装置を備える電子機器。

26. 請求項2、5、8、11のいずれかに記載の半導体装置を備える電子機器。

27. 請求項3、6、9、12のいずれかに記載の半導体装置を備える電子機器。

28. 複数のスルーホールが形成され、前記スルーホール上を通して配線パターンが形成された基板をメッキ浴に浸せきし、前記配線パターンを陰極に電氣的に接続し、前記基板における前記配線パターンが形成された面に向けて第1の陽極を配置し、前記基板における前記配線パターンとは反対側の面に向けて第2の陽極を配置し、前記第1及び第2の陽極と前記陰極との間で異なる電流密度の電流を流す工程と、

を含み、

前記第1の陽極からの電流によって、第1のメッキ層を前記配線パターン上に形成し、

前記第2の陽極からの電流によって、第2のメッキ層を、前記配線パターンにおける前記基板側の面であって前記スルーホール内に形成する実装基板の製造方法。

29. 複数のスルーホールが形成され、前記スルーホール上を通して配線パターンが形成された基板を第1のメッキ浴に浸せきし、前記配線パターンを陰極に電氣的に接続し、前記基板における前記配線パターンが形成された面に向けて第1の陽極を配置して電気メッキを施して、第1のメッキ層を前記配線パターン上に形成する工程と、

前記基板を第2のメッキ浴に浸せきし、前記配線パターンを陰極に電氣的に接続し、前記基板における前記配線パターンとは反対側の面に向けて第2の陽極を配置して電気メッキを施して、第2のメッキ層を、前記配線パターンにおける前記基板側の面であって前記スルーホール内に形成する工程と、

を含む実装基板の製造方法。

30．基板に複数のスルーホールを形成し、前記スルーホール上を通る配線パターンを形成する工程と、

前記スルーホールを第1のレジストで覆って、前記配線パターンに無電解メッキを施して、第1のメッキ層を形成する工程と、

前記スルーホールから配線パターンの一部を露出させ、前記配線パターンにおける前記基板側とは反対側の面を第2のレジストで覆って、前記スルーホール内で配線パターンに無電解メッキを施して、第2のメッキ層を形成する工程と、

を含む実装基板の製造方法。

31．一方の面に第1の配線パターンが形成され、他方の面に前記第1の配線パターンに電氣的に接続される第2の配線パターンが形成された基板をメッキ浴に浸せきし、前記第1及び第2の配線パターンを陰極に電氣的に接続し、前記第1の配線パターンに向けて第1の陽極を配置し、前記第2の配線パターンに向けて第2の陽極を配置し、前記第1及び第2の陽極と前記陰極との間で異なる電流密度の電流を流す工程と、

を含み、

前記第1の陽極からの電流によって、第1のメッキ層を前記第1の配線パターン上に形成し、

前記第2の陽極からの電流によって、第2のメッキ層を前記第2の配線パターン上に形成する実装基板の製造方法。

32．一方の面に第1の配線パターンが形成され、他方の面に前記第1の配線パターンに電氣的に接続される第2の配線パターンが形成された基板を第1のメッキ浴に浸せきし、前記第1の配線パターンを陰極に電氣的に接続し、前記第1の配線パターンに向けて第1の陽極を配置して電気メッキを施して、第1のメッキ層を前記第1の

配線パターン上に形成する工程と、

前記基板を第2のメッキ浴に浸せきし、前記第2の配線パターンを陰極に電氣的に接続し、前記第2の配線パターンに向けて第2の陽極を配置して電気メッキを施して、第2のメッキ層を、前記第2の配線パターン上に形成する工程と、

を含む実装基板の製造方法。

33. 基板の一方の面に第1の配線パターンを形成し、他方の面に前記第1の配線パターンに電氣的に接続される第2の配線パターンを形成する工程と、

前記第2の配線パターンを第1のレジストで覆って、前記第1の配線パターンに無電解メッキを施して、第1のメッキ層を形成する工程と、

前記第1の配線パターンを第2のレジストで覆って、前記第2の配線パターンに無電解メッキを施して、第2のメッキ層を形成する工程と、

を含む実装基板の製造方法。

34. 基板に配線パターンを形成する工程と、

前記配線パターンの第1の部分を露出させて第2の部分をレジストで覆って、前記配線パターンに無電解メッキを施して前記第1の部分に第1のメッキ層を形成する工程と、

前記配線パターンの第2の部分を露出させて第1の部分をレジストで覆って、前記配線パターンに無電解メッキを施して前記第2の部分に第2のメッキ層を形成する工程と、

を含む実装基板の製造方法。

35. 請求項28記載の実装基板の製造方法において、

前記第1及び第2のメッキ層は相互に異なる特性を有する実装基板の製造方法。

36. 請求項29記載の実装基板の製造方法において、

前記第1及び第2のメッキ層は相互に異なる特性を有する実装基板の製造方法。

37. 請求項30記載の実装基板の製造方法において、

前記第1及び第2のメッキ層は相互に異なる特性を有する実装基板の製造方法。

38. 請求項31記載の実装基板の製造方法において、

前記第1及び第2のメッキ層は相互に異なる特性を有する実装基板の製造方法。

39. 請求項32記載の実装基板の製造方法において、

前記第1及び第2のメッキ層は相互に異なる特性を有する実装基板の製造方法。

40. 請求項33記載の実装基板の製造方法において、

前記第1及び第2のメッキ層は相互に異なる特性を有する実装基板の製造方法。

41. 請求項34記載の実装基板の製造方法において、

前記第1及び第2のメッキ層は相互に異なる特性を有する実装基板の製造方法。

42. 請求項28記載の実装基板の製造方法において、

前記第1のメッキ層を、前記第2のメッキ層よりも薄く形成する実装基板の製造方法。

43. 請求項29記載の実装基板の製造方法において、

前記第1のメッキ層を、前記第2のメッキ層よりも薄く形成する実装基板の製造方法。

44. 請求項30記載の実装基板の製造方法において、

前記第1のメッキ層を、前記第2のメッキ層よりも薄く形成する実装基板の製造方法。

45. 請求項31記載の実装基板の製造方法において、

前記第1のメッキ層を、前記第2のメッキ層よりも薄く形成する実装基板の製造方法。

46. 請求項32記載の実装基板の製造方法において、

前記第1のメッキ層を、前記第2のメッキ層よりも薄く形成する実装基板の製造方法。

47. 請求項33記載の実装基板の製造方法において、

前記第1のメッキ層を、前記第2のメッキ層よりも薄く形成する実装基板の製造方法。

48. 請求項34記載の実装基板の製造方法において、

前記第1のメッキ層を、前記第2のメッキ層よりも薄く形成する実装基板の製造方法。

49. 請求項29記載の実装基板の製造方法において、

前記第 1 及び第 2 のメッキ層を異なる材料で形成する実装基板の製造方法。

50．請求項 30 記載の実装基板の製造方法において、

前記第 1 及び第 2 のメッキ層を異なる材料で形成する実装基板の製造方法。

51．請求項 32 記載の実装基板の製造方法において、

前記第 1 及び第 2 のメッキ層を異なる材料で形成する実装基板の製造方法。

52．請求項 33 記載の実装基板の製造方法において、

前記第 1 及び第 2 のメッキ層を異なる材料で形成する実装基板の製造方法。

53．請求項 34 記載の実装基板の製造方法において、

前記第 1 及び第 2 のメッキ層を異なる材料で形成する実装基板の製造方法。

1 / 12

FIG. 1

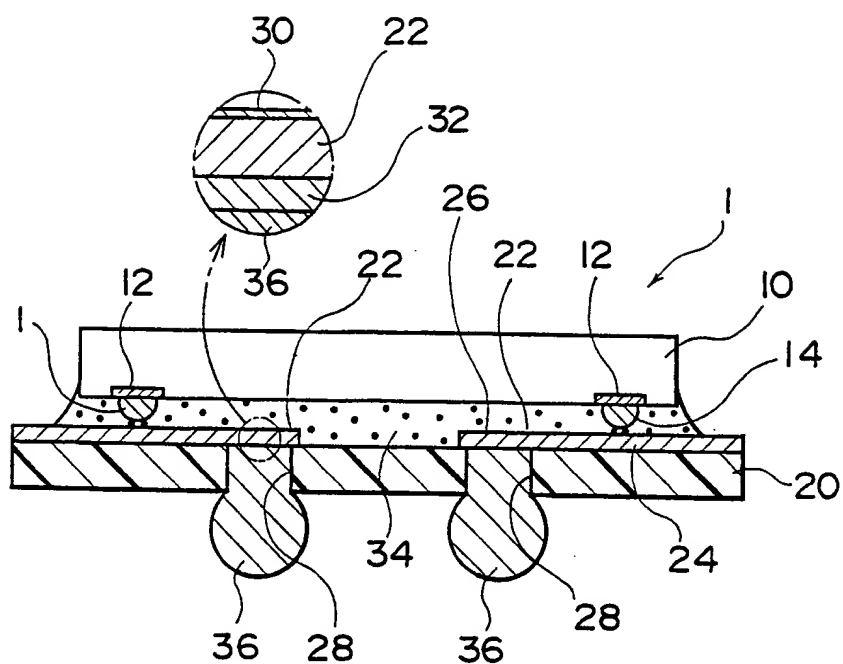
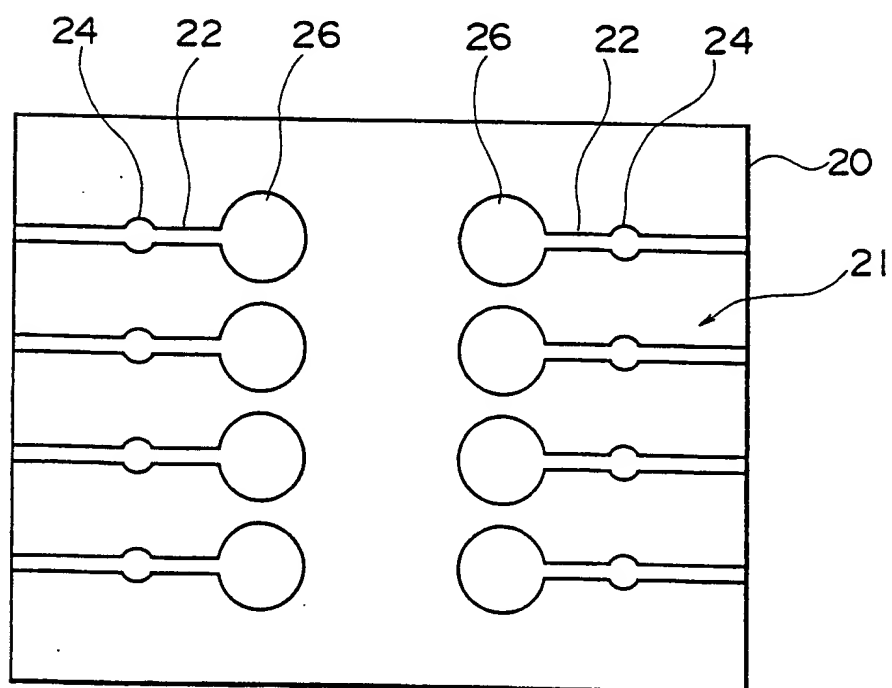
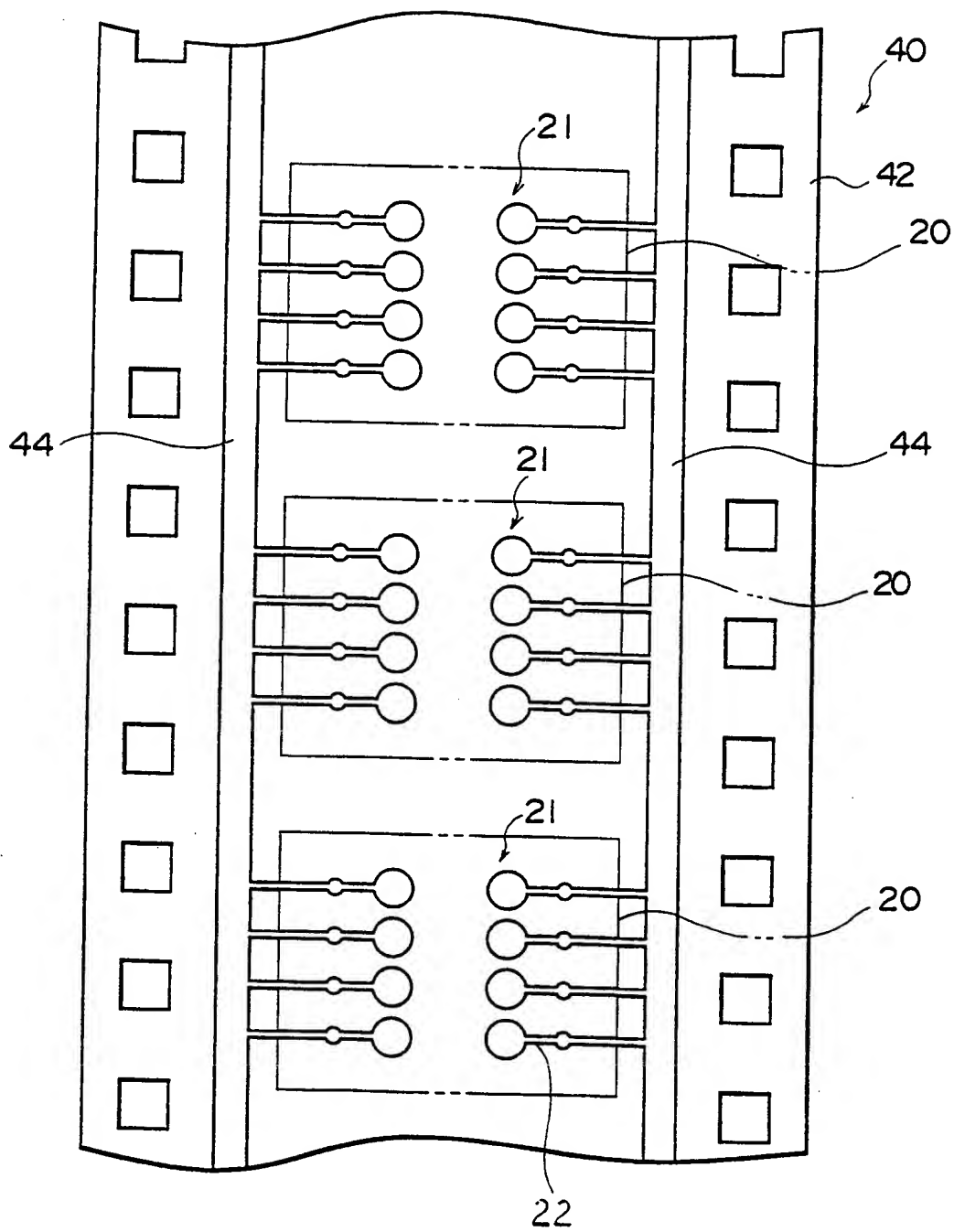


FIG. 2



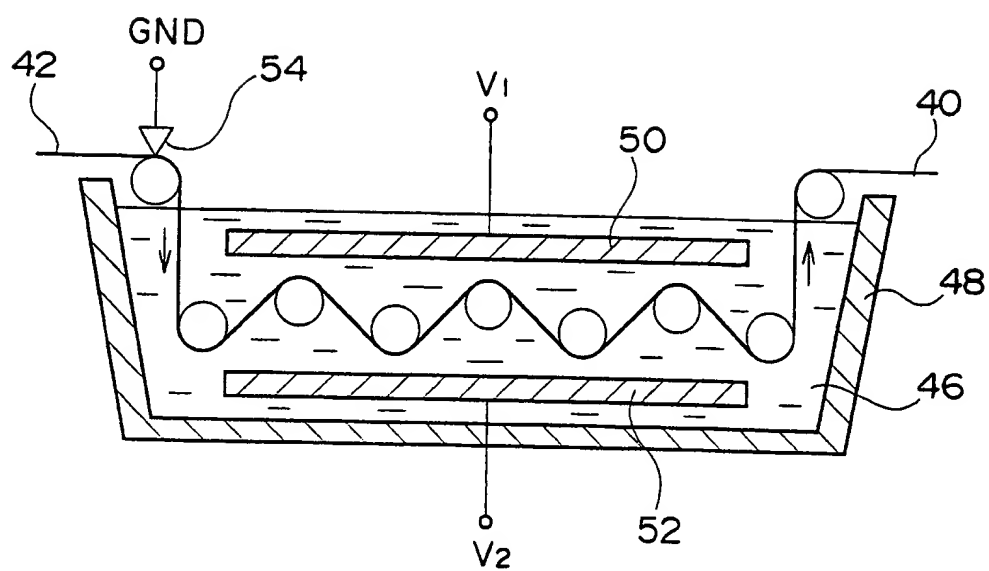
2 / 1 2

FIG. 3



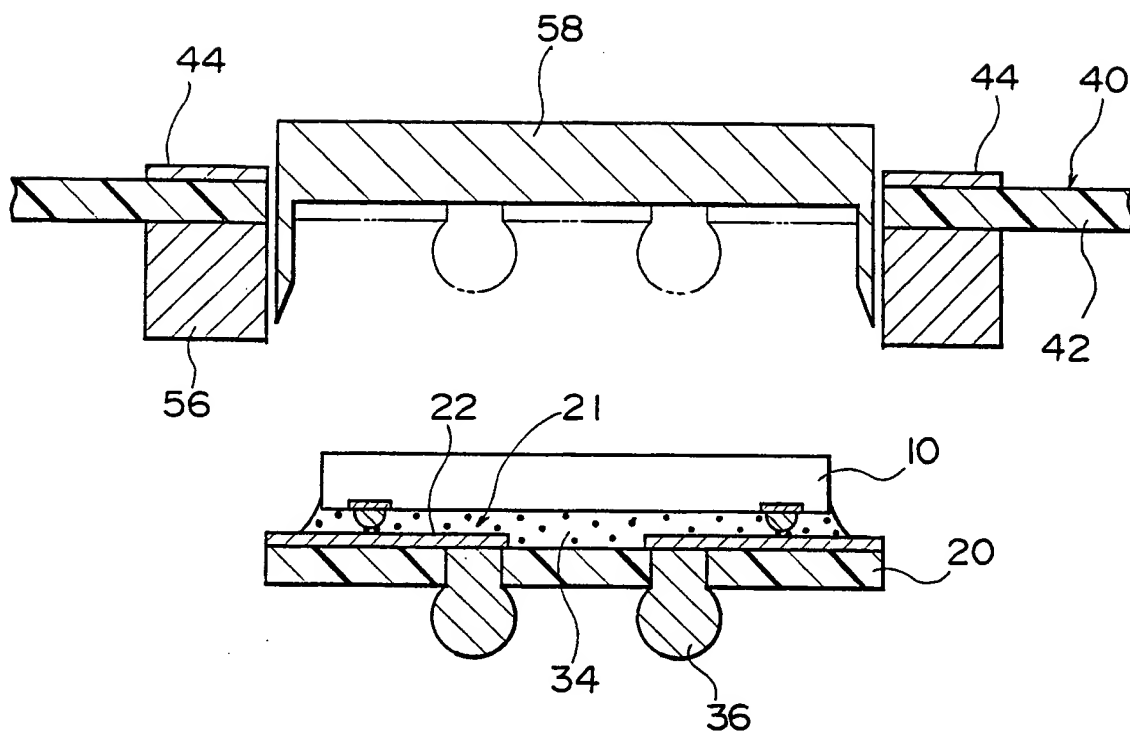
3/12

FIG. 4



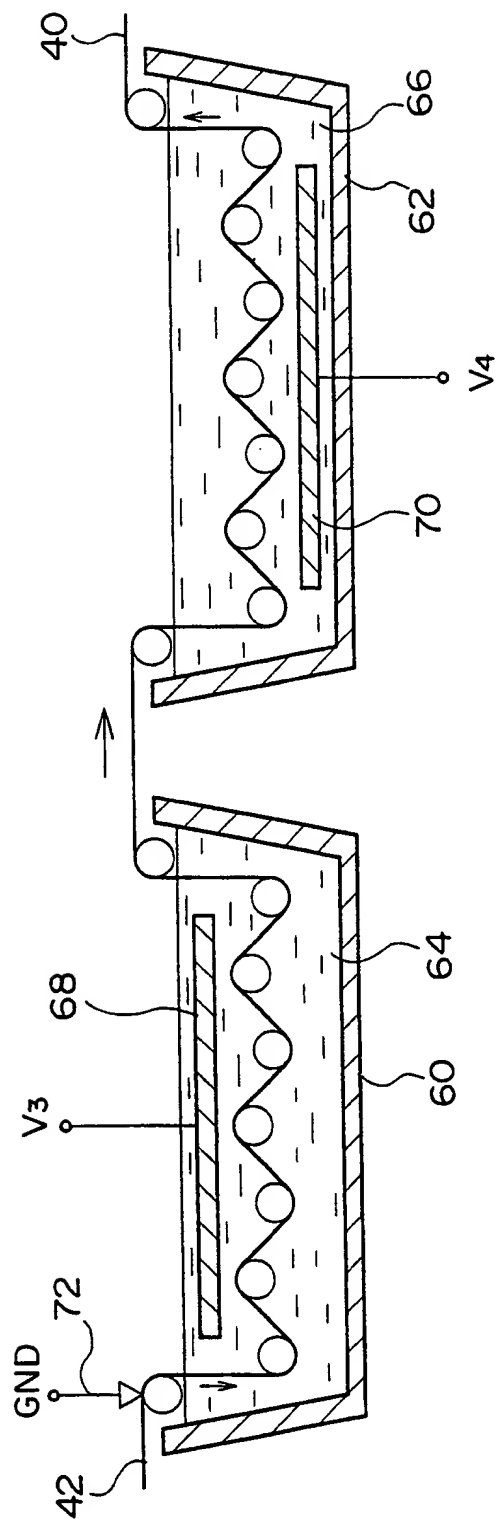
4/12

FIG. 5



5 / 12

FIG. 6



6 / 1 2

FIG. 7A

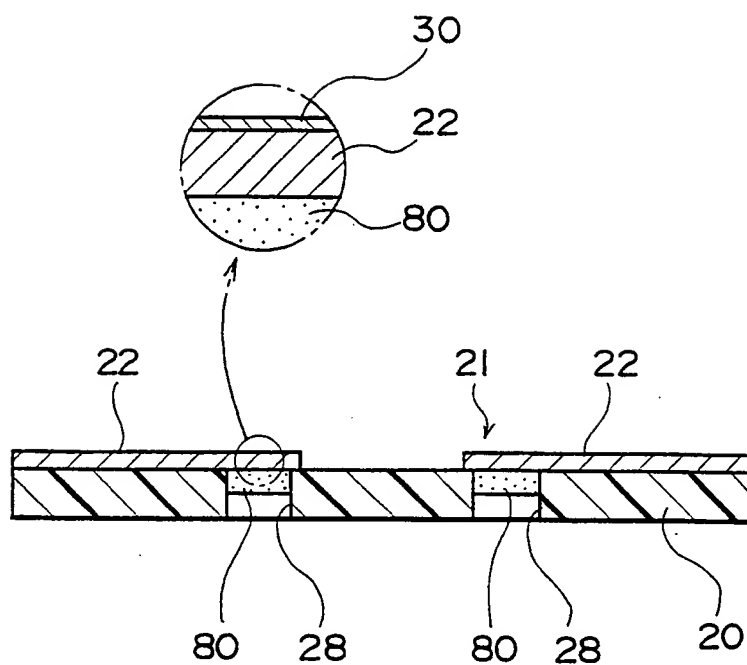
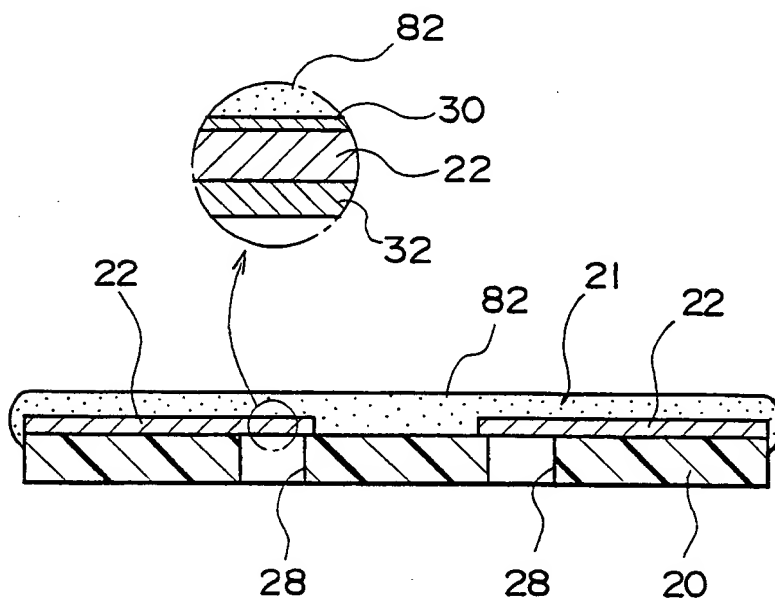
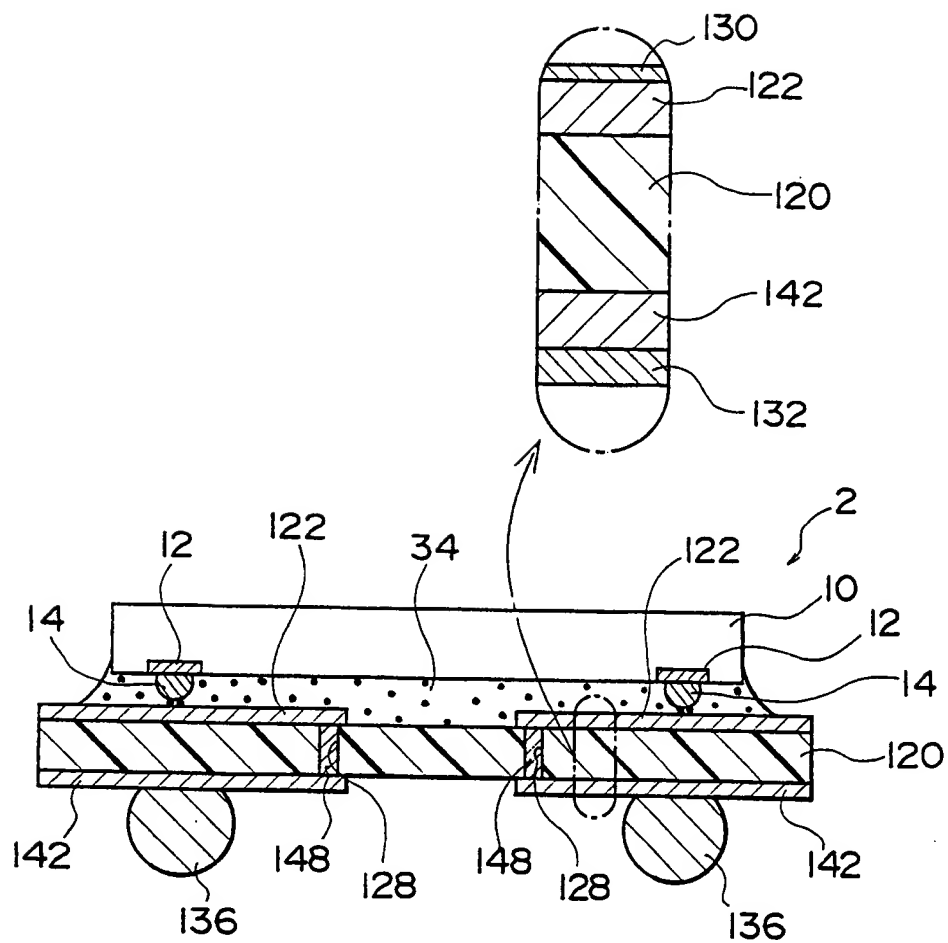


FIG. 7B



7/12

FIG. 8



8 / 12

FIG. 9A

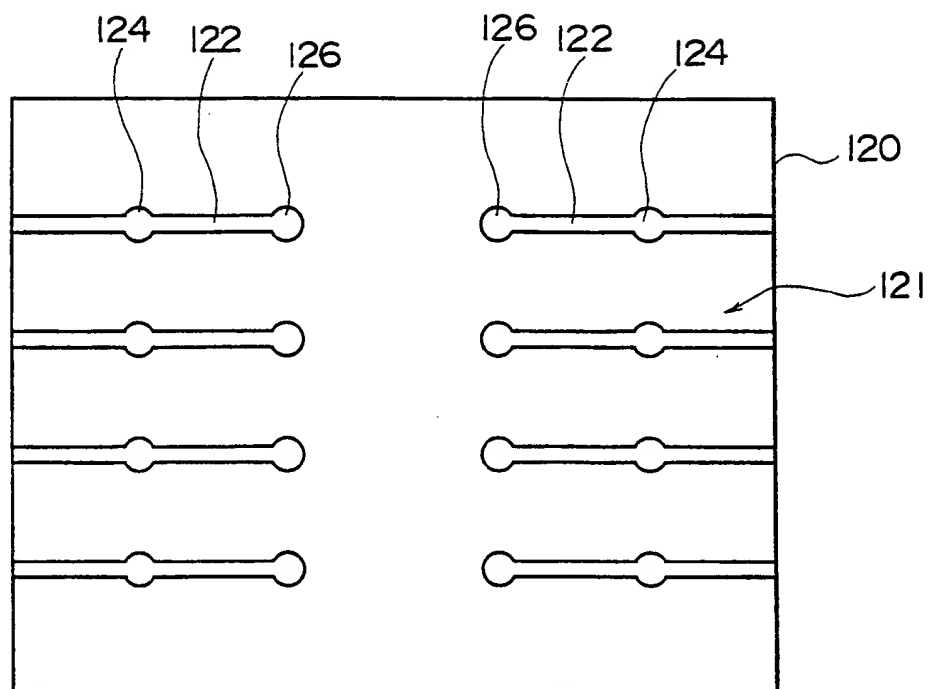
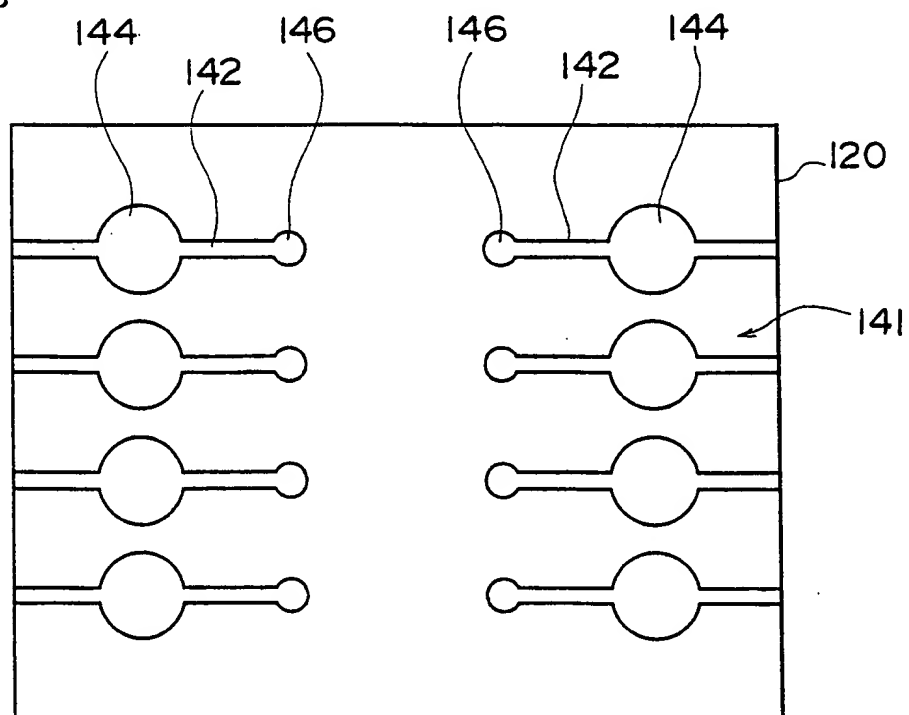


FIG. 9B



10/12

FIG. 11A

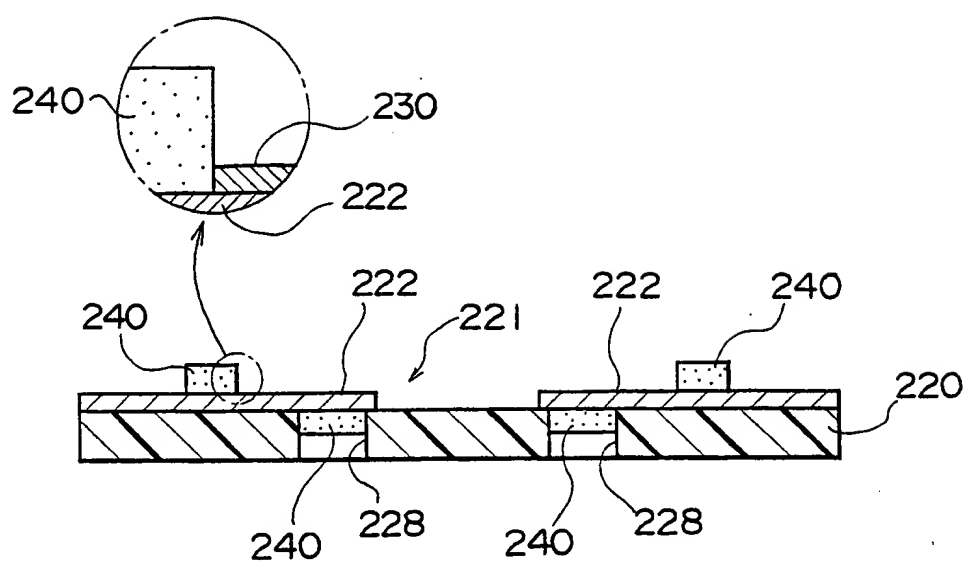
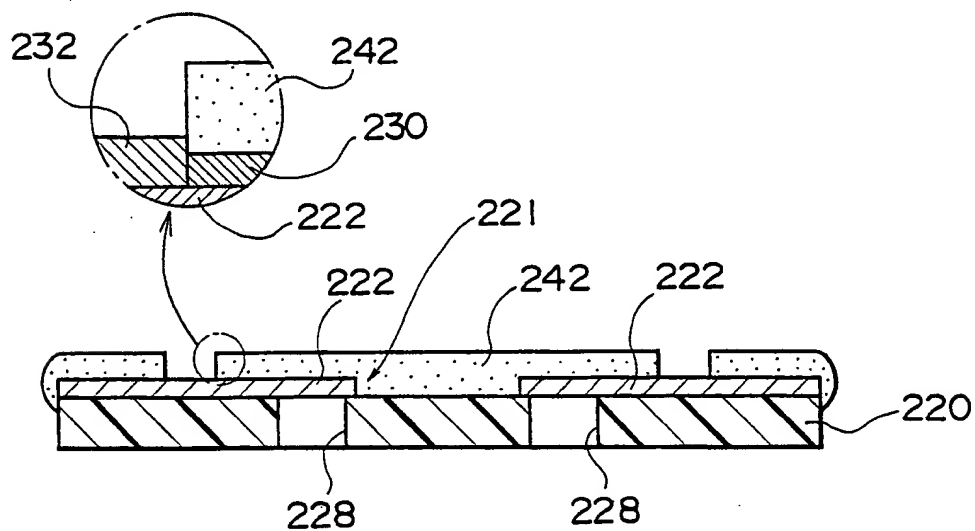
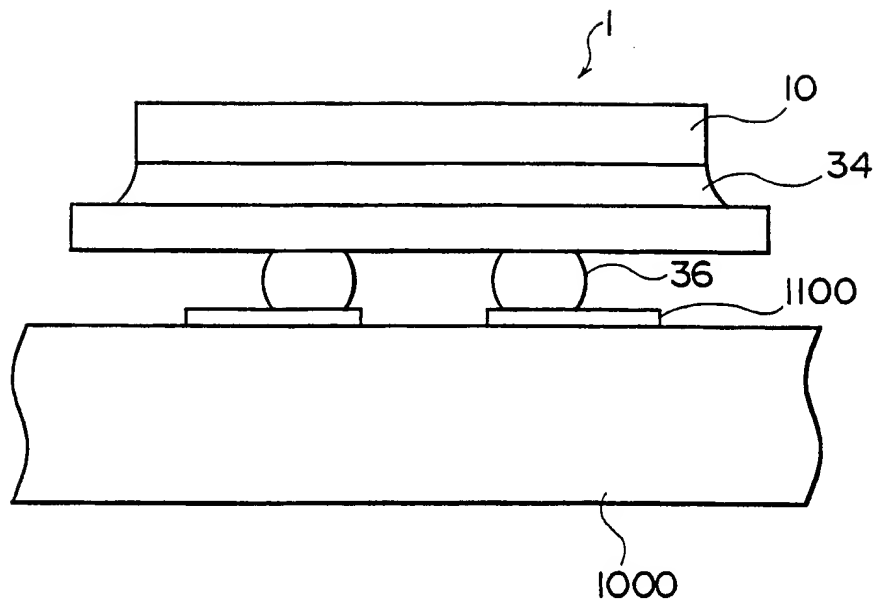


FIG. 11B



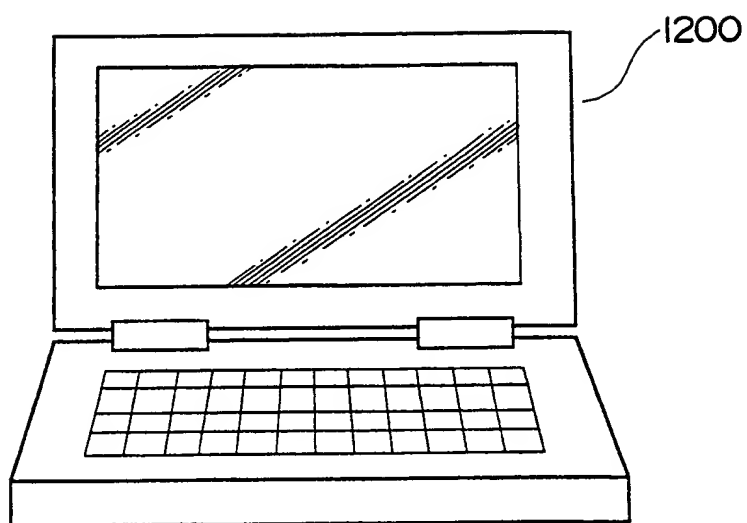
11/12

FIG. 12



12/12

FIG. 13



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/00894

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L23/12, 21/60, H05K3/18, 3/42

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L23/12, 21/60, H05K3/18, 3/42, C25D5/02, 5/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-1996 Toroku Jitsuyo Shinan Koho 1994-2000
Kokai Jitsuyo Shinan Koho 1971-2000 Jitsuyo Shinan Toroku Koho 1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP, 60-244094, A (Fujitsu Limited), 03 December, 1985 (03.12.85), Fig. 1 (Family: none)	13,16 4,28,35,42
X Y	JP, 64-61986, A (Fujitsu Limited), 08 March, 1989 (08.03.89), page 3, lower left column, lines 3 to 11; Figs.1, (C) (Family: none)	14,17 2,5,11,23, 26,31,38,45
Y	JP, 2-232393, A (The Furukawa Electric Co., Ltd.), 14 September, 1990 (14.09.90), Claims (Family: none)	28,31,35,38, 42,45
X Y	JP, 11-40620, A (Hitachi Cable, Ltd.), 12 February, 1999 (12.02.99), Claims, Par. No. [0016] (Family: none)	1,7,10,22,25 2,4,5,11,23,26
Y	JP, 10-270624, A (Toshiba Corporation), 09 October, 1998 (09.10.98), Claims; & US, 5949142, A & KR, 98080701, A	10-11

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not
considered to be of particular relevance
"E" earlier document but published on or after the international filing
date
"L" document which may throw doubts on priority claim(s) or which is
cited to establish the publication date of another citation or other
special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other
means
"P" document published prior to the international filing date but later
than the priority date claimed

"T" later document published after the international filing date or
priority date and not in conflict with the application but cited to
understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be
considered novel or cannot be considered to involve an inventive
step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be
considered to involve an inventive step when the document is
combined with one or more other such documents, such
combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
25 April, 2000 (25.04.00)

Date of mailing of the international search report
16.05.00

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

国際調査報告

国際出願番号 PCT/J P 00/00894

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl.⁷ H01L23/12, 21/60, H05K3/18, 3/42

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl.⁷ H01L23/12, 21/60, H05K3/18, 3/42, C25D5/02, 5/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926-1996年
 日本国公開実用新案公報 1971-2000年
 日本国登録実用新案公報 1994-2000年
 日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y	J P, 60-244094, A (富士通株式会社) 3. 12月. 1985 (03. 12. 85) 第1図 (ファミリーなし)	13, 16 4, 28, 35, 42
X Y	J P, 64-61986, A (富士通株式会社) 8. 3月. 1989 (08. 03. 89) 第3頁左下欄第3~11行及び第1図 (C) (ファミリーなし)	14, 17 2, 5, 11, 23, 26, 31, 38, 45

☒ C欄の続きにも文献が列举されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

25. 04. 00

国際調査報告の発送日

1 6.05.00

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田中 永一

4 R 9539

電話番号 03-3581-1101 内線 3469

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 2-232393, A (古河電気工業株式会社) 14. 9月. 1990 (14. 09. 90) 特許請求の範囲 (ファミリーなし)	28, 31, 35, 38, 42, 45
X	JP, 11-40620, A (日立電線株式会社)	1, 7, 10, 22, 25
<u>Y</u>	12. 2月. 1999 (12. 02. 99) 特許請求の範囲及び【0016】 (ファミリーなし)	<u>2, 4, 5, 11, 23,</u> <u>26</u>
Y	JP, 10-270624, A (株式会社東芝) 9. 10月. 1998 (09. 10. 98) 特許請求の範囲 & US, 5949142, A & KR, 98080701, A	10-11